V1.0 · 2026-11-04

深圳市稳联射频技术有限公司

USER MANUAL

SKA2Dxx 模块用户手册

60 GHz 全双工邮票孔射频模块

文档类型	用户手册
适用产品	SKA2DHV / SKA2DVH
发布日期	2026-11-04
文档版本	V1.0

文档简述：介绍 SKA2Dxx 模块的功能、安装接线、启动配置、数据测试和故障处理方法，供硬件集成与测试人员使用。

目录

1 功能说明

2 引脚定义

3 电气特性

4 参考设计说明

4.1 外围参考电路与引脚连接

4.2 复位接口

4.3 TXI 衰减网络与交流耦合

4.4 8b/10b 数据编码

4.5 前导码与突发数据时序

5 模式配置

5.1 启动配置

5.2 LDR 模式连接

5.3 FDR 模式连接

5.4 HDR 模式连接

6 通信连接方式

7 装配说明

7.1 焊接与安装准备

7.2 成对装配与天线对准

8 上电与运行

8.1 首次上电

9 数据测试

9.1 数据传输测试

9.2 装配与可靠性测试

10 常见问题与使用检查

10.1 常见问题与处理

10.2 技术支持

11 版本记录

1 功能说明

SKA2Dxx 用于主板之间的厘米级非接触高速数据连接。SKA2DHV 与 SKA2DVH 通过互补极化号角天线形成双向全双工链路；模块分别焊接在两侧主板，接收本侧主控发送的数据，并将对端数据输出至本侧主控。

低速单端数据通过 SYS_WKP 引脚传输，高速数据通过 TXI_P/N、RXO_P/N 差分对传输。工作模式可在上电时由启动引脚确定，也可通过 I2C 配置。

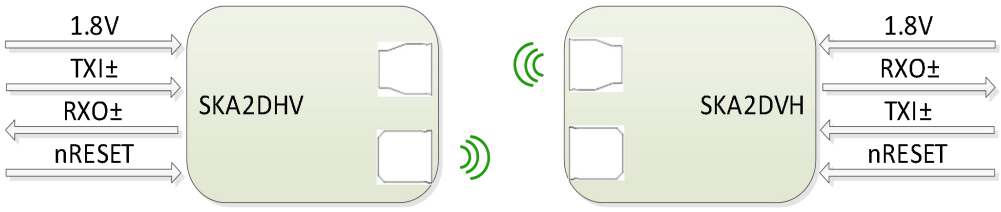


图 1 SKA2DHV 与 SKA2DVH 数据连接

2 引脚定义

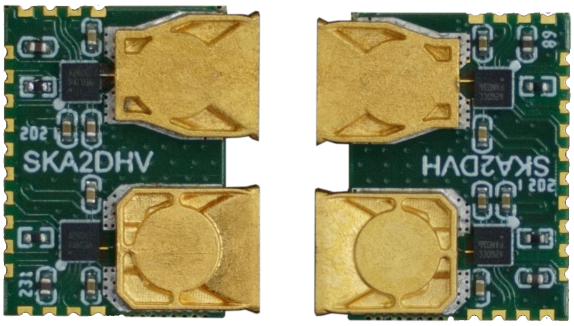


图 2 SKA2DHV（左）与 SKA2DVH（右）实物图

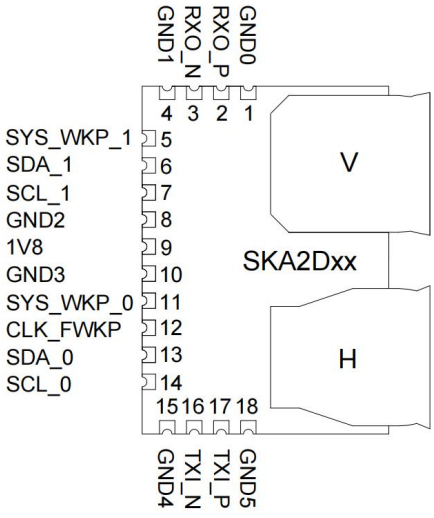


图 3 SKA2Dxx 引脚分布

表 1 SKA2Dxx 引脚定义

引脚号	信号名	定义
1	GND0	接地。
2	RXO_P	无线接收数据的差分输出，正端。
3	RXO_N	无线接收数据的差分输出，负端。
4	GND1	接地。
5	SYS_WKP_1	启动配置（Boot Strap）引脚，1.8 V 逻辑电平。
6	SDA_1	启动配置（Boot Strap）引脚，1.8 V 逻辑电平。
7	SCL_1	启动配置（Boot Strap）引脚，1.8 V 逻辑电平。
8	GND2	接地。
9	1V8	1.8 V 电源输入。
10	GND3	接地。
11	SYS_WKP_0	启动配置（Boot Strap）引脚，1.8 V 逻辑电平。
12	CLK_FWKP	低有效复位信号；1.8 V 电源稳定后，继续保持低电平至少 1 ms。
13	SDA_0	启动配置（Boot Strap）引脚，1.8 V 逻辑电平。
14	SCL_0	启动配置（Boot Strap）引脚，1.8 V 逻辑电平。
15	GND4	接地。
16	TXI_N	送往无线发送通道的差分输入，负端。
17	TXI_P	送往无线发送通道的差分输入，正端。
18	GND5	接地。

3 电气特性

表 2 电源及温度参数

符号	参数	最小值	典型值	最大值	单位
V_{IN}	输入电压	1.7	1.8	1.98	V
I_{IN}	输入电流*	-	49	-	mA
P	总功耗	-	0.09	-	W
T_A	工作环境温度	−20	-	+85	°C
T_J	最高结温	-	-	+125	°C
T_{STG}	储存温度	−40	-	+105	°C

注*：输入电流 49 mA 及总功耗 0.09 W 为 5 Gbit/s 收发条件下的典型值。

表 3 数字接口、SLVS 与载波参数

符号	参数	最小值	典型值	最大值	单位
V_{IH}	高电平输入电压	1.2	1.3	-	V
V_{OH}	高电平输出电压	1.6	-	-	V
V_{IL}	低电平输入电压	-	0.5	0.6	V
V_{OL}	低电平输出电压	-	-	0.2	V
V_{DIFF_TX}	SLVS 发送输入差分电压幅度	100	200	300	mV
V_{CM_TX}	SLVS 发送输入共模电压	160	-	310	mV
Z_{DIFF_TX}	发送输入差分阻抗	-	100	-	Ω
V_{DIFF_RX}	SLVS 接收输出差分电压幅度	80	200	300	mV
V_{CM_RX}	SLVS 接收输出共模电压	80	200	300	mV
Z_{DIFF_RX}	接收输出差分阻抗	-	100	-	Ω
F_{OSC}	载波频率	-	60.6	-	GHz

4 参考设计说明

4.1 外围参考电路与引脚连接

表 4 电源及复位接线

引脚号	信号名	连接方法
9	1V8	连接 1.8 V 电源；推荐输入范围 1.7～1.98 V
1 / 4 / 8 / 10 / 15 / 18	GND0～GND5	连接主板地平面
12	CLK_FWKP	复位连接，详见第 4.2 节。

参考电路采用 4.7 μF 电源去耦电容。主板逻辑控制端采用 1.8 V 电平；上电前核对主控 I/O 电压，必要时在主板侧设置电平转换。

表 5 数据及控制接线

引脚号	信号名	连接方法
17 / 16	TXI_P / TXI_N	连接本侧主控差分发送正、负端
2 / 3	RXO_P / RXO_N	连接本侧主控差分接收正、负端
11 / 13 / 14	SYS_WKP_0 / SDA_0 / SCL_0	第 0 组启动配置或 I2C 控制
5 / 6 / 7	SYS_WKP_1 / SDA_1 / SCL_1	第 1 组启动配置或 I2C 控制

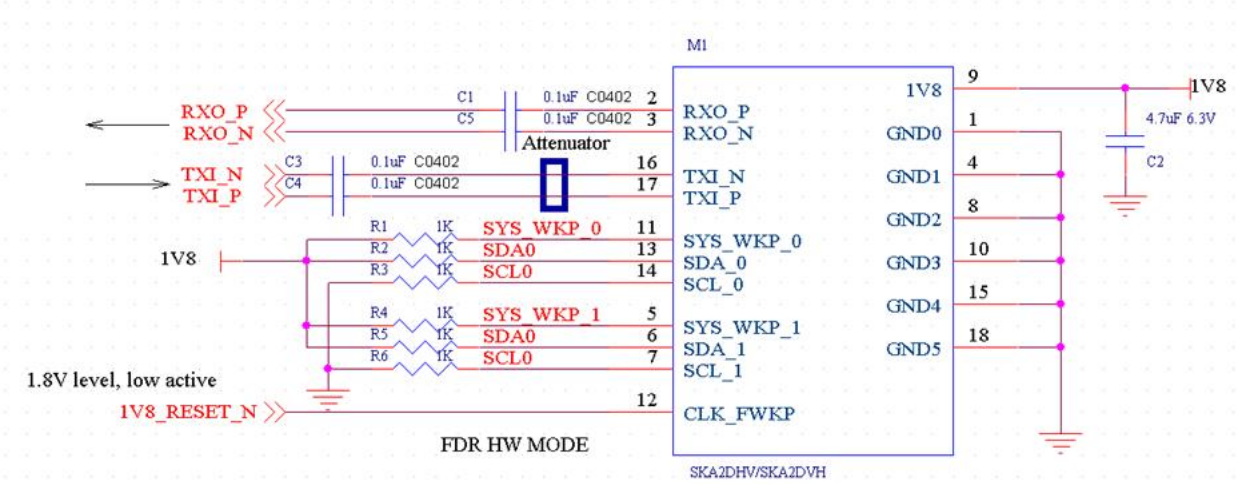
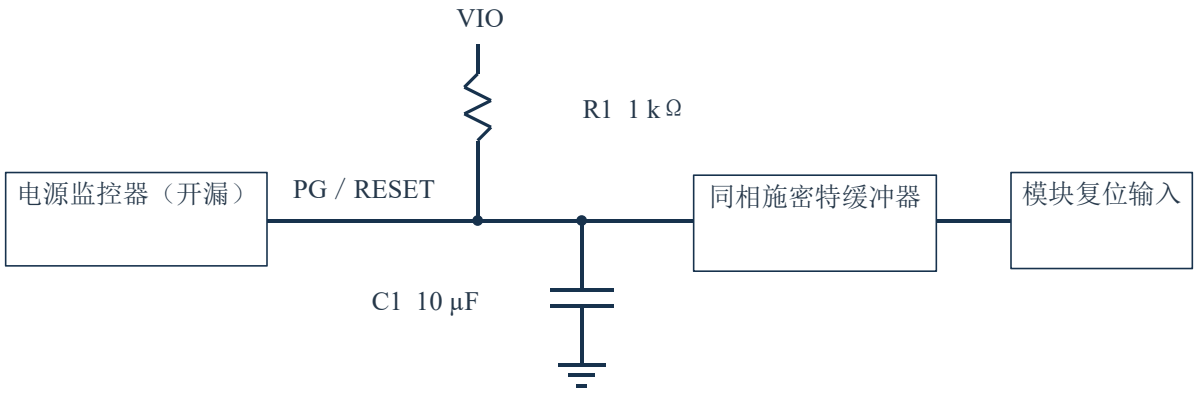


图 4 模块供电、数据及启动配置参考电路

按 P/N 名称成对布线，保持差分走线连续、对称。RXO 侧交流耦合电容靠近模块布置，TXI 侧交流耦合电容靠近主控布置；图示电容均为 0.1 μF、0402 封装。

4.2 复位接口

主板可采用图 5 所示的外部 RC 复位电路，输出接模块 CLK_FWKP。推荐 R1 = 1 kΩ、C1 = 10 μF，标称时间常数为 10 ms。供电稳定后，确认 CLK_FWKP 低电平保持至少 1 ms，且启动配置电平已就绪，再释放复位。



电源监控器与缓冲器电平按模块接口选型。各器件共地。

图 5 推荐 RC 复位电路

4.3 TXI 衰减网络与交流耦合

在 SLVS 差分模式下，TXI 接收主控送来的差分信号。 当主控输出幅值偏高时，可通过衰减网络把模块端的输入幅值调到推荐范围。LDR-SE 使用 SYS_WKP 单端数据通道，无需加此差分网络。

按实际端接、工作速率及主控输出档位，在模块 TXI 端测量 P–N 的差分峰峰值。推荐输入为 200～600 mVpp，对应 100～300 mV 差分幅值。在此范围内，可按参考电路直接接线。超出上限时，先调低主控输出，仍超限再加衰减。低于下限时，检查主控输出档位和线路损耗。

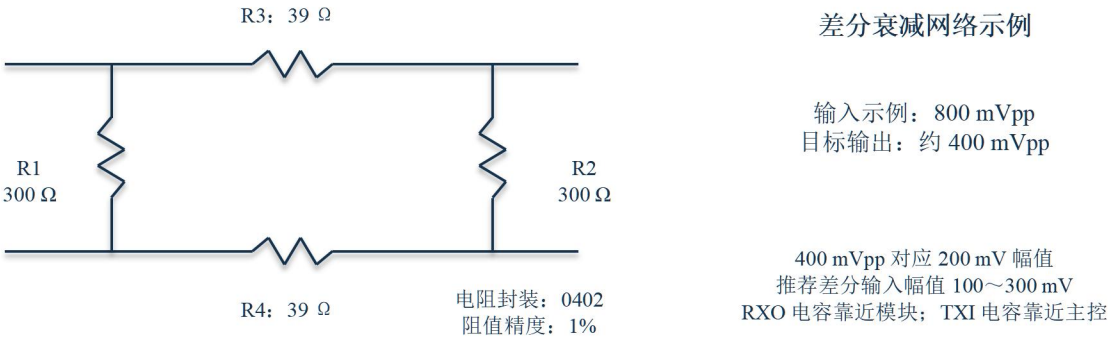


图 6 差分信号衰减及交流耦合示例

按图 6 连接。P、N 各串联 39 Ω，网络两侧各在 P、N 之间跨接 300 Ω。推荐采用 0402、1% 电阻，两支路对称布置。TXI 交流耦合电容按本型号参考电路靠近主控放置。

图中 800 mVpp 降到约 400 mVpp 是选值示例。装板后在 TXI 端复测差分峰峰值和共模电压，并验证数据收发。按本型号电气表核对，再根据实际源阻抗、端接及测量结果调整阻值。

当主控输出为 800 mV 差分峰峰值时，可参考串联 39 Ω、并联 300 Ω的 0402 电阻网络，将模块输入调整至约 400 mV 峰峰值，即 200 mV 差分幅值。接收端采用 100 Ω差分端接。调试时分别测量共模电压和 P/N 两线之差，不将单根线对地电压作为差分幅度。

4.4 8b/10b 数据编码

SLVS 差分接口在线路速率高于 100 Mbit/s 时使用 8b/10b 编码。编码由发送主控、FPGA 或 SerDes 完成，接收主控进行相应解码；模块传输已编码的串行信号。LDR 单端数据及不高于 100 Mbit/s 的低速差分数据按对应模式工作。

8b/10b 将每个 8 bit 数据字节映射为 10 bit 线路码组。编码器根据运行差异选择合法码字，使连续码流保持直流平衡，并将连续相同比特的最大长度限制为 5 bit。足够的跳变有助于接收判决和主控时钟恢复，避免长时间全 0、全 1 或偏置数据引起接收误判。

数据字节使用合法 D 码组，需要控制字符时使用协议规定的合法 K 码组。接收端检查码组合法性、运行差异和字符边界，随后恢复业务数据。空闲期间也应发送有效、直流平衡的编码序列，保持两端编码规则一致。

线路速率包含编码开销。例如，5 Gbit/s 线路的 8b/10b 数据字段上限为 4 Gbit/s，尚需扣除前导码、空闲字符及业务协议开销。主控设置和测试记录应分别记录线路速率与业务有效数据率。

64b/66b 依赖扰码获得统计意义上的直流平衡，不能直接替代这里要求的 8b/10b 数据格式。已有总线采用其他编码时，由主控或桥接逻辑完成格式适配，再接入模块差分输入。

4.5 前导码与突发数据时序

高速链路开始传输时，接收端的自适应判决门限需要建立时间。有效载荷之前先发送连续、直流平衡且经 8b/10b 编码的前导序列，让接收判决稳定后再开始业务帧。前导码用于建立链路，不能计作有效载荷。

前导码持续时间应覆盖接收端建立和码组同步所需时间，并预留时序裕量。有效数据开始前应完整发送前导序列。

前导码位数按线路速率换算，N = ceil(R ×t_{HEADER})。R 取 bit/s，t_{HEADER} 取秒，再向上补齐完整 10 bit 码组。5 Gbit/s 时 50 ns 对应 250 bit、90 ns 对应 450 bit；500 Mbit/s 时分别为 25 bit 和 45 bit，按完整码组至少发送 30 bit 和 50 bit。

前导序列选用配套协议允许的有效 8b/10b 空闲或训练码组，并保持运行差异连续。图示交替 0/1 可用于理解门限建立过程；实际发送仍须满足合法码组和接收字符对齐要求。

若停止发送超过所用 t_{HEADER}，下一次传输前重新发送完整前导序列。半双工应用先完成两端收发方向切换和器件状态建立，再发送前导码，最后发送有效载荷；状态切换时间和前导码时间分别满足。

接收主控在前导码结束并完成码组、帧边界确认后接收业务数据。测试应覆盖首次启动、长空闲后重启、方向切换、不同速率及实际装配间距，分别统计训练丢弃量、码组错误、差异错误和有效数据校验结果。

5 模式配置

5.1 启动配置

表 6 启动配置

SCL	SDA	SYS_WKP	控制方式	数据模式
0	0	任意	硬件强制	LDR-SE
0	1	1	硬件强制	FDR-DIFF
0	1	0	硬件强制	HDR-DIFF
1	任意	任意	I2C	可配置数据模式

0 和 1 分别对应低、高电平。“任意”表示该模式不依赖对应引脚的取值；仍按主板设计提供稳定电平。两组配置引脚分别对应内部通道，两侧模块按所需传输方向选择匹配的数据模式。

表 7 模式与数据速率

模式	接口	速率范围
LDR-SE	SYS_WKP 单端数字接口	10 kbit/s～100 Mbit/s
FDR-DIFF	SLVS 差分接口	1 Mbit/s～5 Gbit/s
HDR-DIFF	SLVS 差分接口	500 Mbit/s～6 Gbit/s

(1) LDR-SE：通过 SYS_WKP 单端数字接口 传输，接口速率为 10 kbit/s～100 Mbit/s。

(2) FDR-DIFF：通过 SLVS 差分接口 传输，接口速率为 1 Mbit/s～5 Gbit/s。

(3) HDR-DIFF：通过 SLVS 差分接口 传输，接口速率为 500 Mbit/s～6 Gbit/s。

5.2 LDR 模式连接

SCL = 0、SDA = 0，SYS_WKP 作为 1.8 V 单端数据端。两端按对应通道方向连接，切换收发时按本型号控制接口执行。

LDR 启动连接 SCL = 0；SDA = 0；SYS_WKP 为数据端



双向全双工；两个数据方向分别连接与配置

图 7 SKA2Dxx LDR 模式通信与启动连接

5.3 FDR 模式连接

SCL = 0、SDA = 1、SYS_WKP = 1，业务数据经 TXI/RXO 差分接口传输。

FDR 启动连接 SCL = 0；SDA = 1；SYS_WKP = 1



双向全双工；两个数据方向分别连接与配置

图 8 SKA2Dxx FDR 模式通信与启动连接

5.4 HDR 模式连接

SCL = 0、SDA = 1、SYS_WKP = 0，业务数据经 TXI/RXO 差分接口传输。

HDR 启动连接 SCL = 0；SDA = 1；SYS_WKP = 0



双向全双工；两个数据方向分别连接与配置

图 9 SKA2Dxx HDR 模式通信与启动连接

6 通信连接方式

将两侧模块分别连接本侧主控，发送差分输入连接对端接收差分输出，两个方向独立连接并同时传输。两侧按相同的模式和线路速率配置。

FDR 启动连接 SCL = 0；SDA = 1；SYS_WKP = 1



双向全双工；两个数据方向分别连接与配置

图 10 SKA2Dxx 通信连接方式

7 装配说明

7.1 焊接与安装准备

(1) 成对选用 SKA2DHV 和 SKA2DVH，确认型号、引脚 1 方向以及主板焊盘编号。

(2) 按安装图制作邮票孔焊盘及 PCB 开槽；焊接前检查焊盘、过孔和开槽边缘。

(3) 固定模块并完成焊接，检查相邻焊盘无桥连，电源与地无短路。

(4) 清理天线前方的焊料、金属碎屑和固定件，接线完成后再通电。

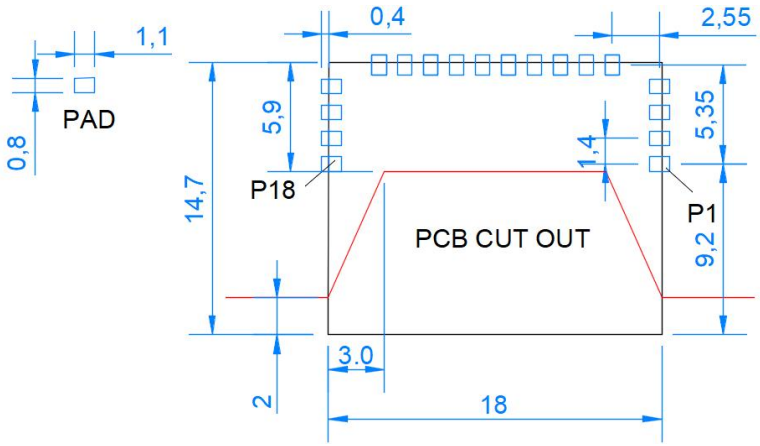


图 11 主板焊盘与开槽尺寸（单位：mm）

焊盘尺寸 1.1 mm×0.8 mm，焊盘间距及主板开槽轮廓按图示执行。P1、P18 为两侧焊盘编号基准。

7.2 成对装配与天线对准

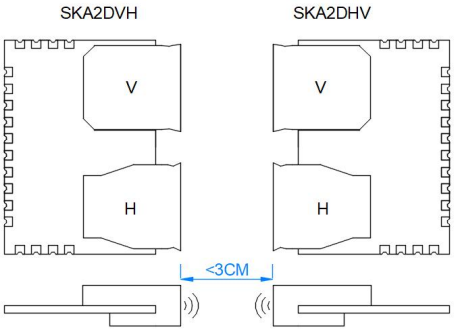


图 12 SKA2DHV 与 SKA2DVH 的安装方向

两端号角天线相对、中心对准，水平极化通道与水平极化通道对准，垂直极化通道与垂直极化通道对准。推荐间距约 20 mm，安装间距小于 30 mm。

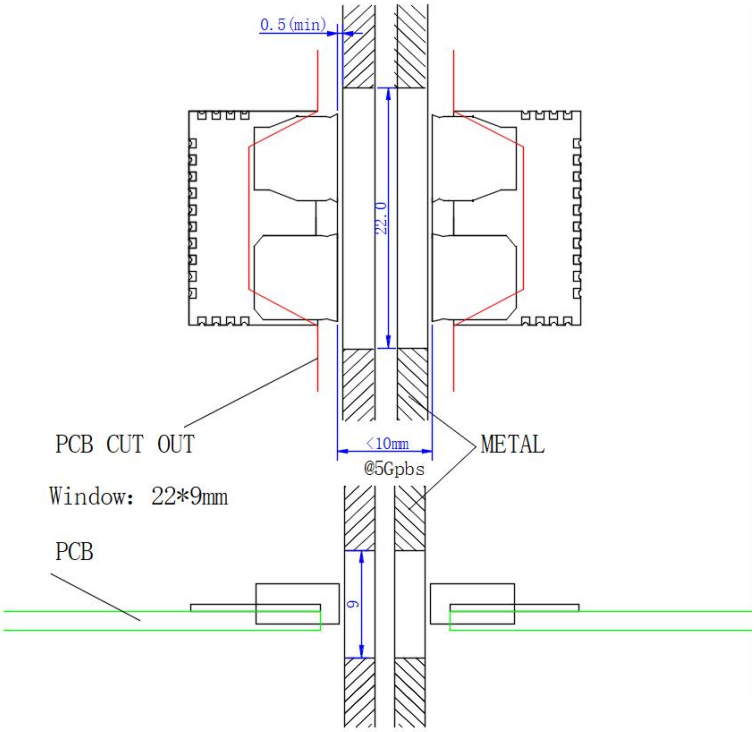


图 13 金属外壳开窗与净空（单位：mm）

采用金属外壳时，在无线通道正前方预留 22 mm×9 mm 非金属窗口，图示侧向间隙不小于 0.5 mm。图示 5 Gbit/s 条件采用小于 10 mm 天线间距。主板固定结构应保持模块平行，避免天线通道被金属遮挡。

成对安装：SKA2DHV 与 SKA2DVH，天线面相对并对准。

8 上电与运行

8.1 首次上电

(1) 断电设置两组 SCL、SDA 及 SYS_WKP 的启动电平，核对两侧模式和主控接口速率。

(2) 将 CLK_FWKP 保持低电平，接通两侧 1.8 V 电源。

(3) 电源稳定后继续保持 CLK_FWKP 低电平至少 1 ms，再释放复位。

(4) 先使用固定间距和静止结构进行双向数据测试，再验证最终整机安装。

上电前，差分输入电平的核对方法见第 4.3 节，复位接线与时序见第 4.2 节。

9 数据测试

9.1 数据传输测试

(1) 在两端主控配置相同的接口模式及兼容的数据速率，启用可重复的数据模式或实际业务数据。

(2) 从 A 侧发送已知数据，在 B 侧核对接收结果；然后交换发送方向。

(3) 启用双向同时传输，分别记录两个方向的发送、接收数据量及错误统计。

(4) 由低速率逐步调整至目标速率，每次调整后复查输入幅度、端接及天线对准。

(5) 保存主控配置、传输模式、速率、测试时长、数据总量、错误数量和安装状态。

主控具有误码测试功能时，使用发送位数和错误位数记录比特误码率；使用分组数据时，分别记录包长、包数、丢失和校验错误。

9.2 装配与可靠性测试

(1) 保持两侧模块固定，在目标天线间距下重复双向测试。

(2) 装入实际外壳，按最终窗口材料、厚度及安装位置重复测试。

(3) 在设备允许的位移、振动或运动状态下检查通信连续性。

(4) 按整机使用温度进行运行测试，保存环境温度、间距和数据统计。

模块典型电流 49 mA、功耗 0.09 W 对应 5 Gbit/s 收发条件。调试时测量模块供电引脚处的电压，并记录启动及运行电流，供主板电源设计使用。

10 常见问题与使用检查

10.1 常见问题与处理

表 8 故障排查

现象	检查与处理
双向均无数据	检查 1.8 V 电源、公共地、CLK_FWKP 复位时序、启动配置以及主控数据模式。
仅一个方向有数据	分别检查 TXI/RXO 的方向、P/N 极性、两组控制配置及互补极化型号。
高速模式错误增加	检查输入幅度、共模电压、100 Ω差分端接、交流耦合电容和衰减网络，再检查差分走线与天线窗口。
装入外壳后通信不稳定	检查窗口尺寸、材料、间距、金属遮挡和天线对准，在裸板与整机状态下分别测试。

(1) 修改启动电平或主板接线前断电，修改后按第 8.1 节重新启动。处理焊盘和高速信号时采取防静电措施，维护后按第 9 章复测。

10.2 技术支持

联系技术支持时，请提供产品型号及版本、两侧连接与配置、供电情况、指示状态、异常现象和复现步骤，并附接线及装配照片、测试设置和结果记录。

11 版本记录

日期	版本	更新内容
2026-11-04	V1.0	(1) 编制中文用户手册，按功能、引脚、电气特性、参考设计、模式、通信、装配、上电、测试及故障排查组织内容。 (2) 补齐模块实物与完整引脚图表，整理电源温度及数字接口、SLVS 与载波两类参数表。 (3) 分节说明外围连接、至少 1 ms 复位要求、外部 1 kΩ/10 µF RC 复位及 TXI 衰减与交流耦合。 (4) 补充 8b/10b 编码、前导码与突发数据时序，配套 LDR/FDR/HDR 启动连接图；启动表保留 I2C 模式。 (5) 细化双向数据、装配可靠性测试和故障排查，保留开槽、净空及装配图，更新图号与引用。 (6) 统一参数表最小值、典型值和最大值三列为等宽，保留全部数值、条件、单位、字号及标准行距。 (7) 核对目录及章节、图表引用的实际落点，重建兼容 Word/WPS 的内部书签链接，修正错位或失效目标。 (8) 按通用大纲统一章节名称、顺序和内容归属，保留原技术说明及图文，重编目录、图表编号和内部引用。 将首次上电归入上电与运行，统一常见问题与使用检查，并补充技术支持所需信息。